

differently phased clock signals from the supply. The logic circuit sections are disposed in respective outer regions of the chip which are respectively positioned peripherally outward from the central region of the chip.

The clock signal supply includes a single clock input terminal situated peripherally on the IC chip and coupled to receive only a single externally supplied input clock signal. A waveform shaping device operates on the input clock signal to produce an output clock signal having a predetermined waveform. A clock signal generating circuit responsive to the output clock signal produces multiple multi-phased clock signals having different phases from each other. The semiconductor IC has a respective clock buffer disposed in each of the outer regions.

USE/ADVANTAGE - Prevents operating errors. Minimises phase deviations.

CHOSEN-DRAWING: Dwg.2a/3

DERWENT-CLASS: U13 U21

EPI-CODES: U13-C04D; U13-C05; U21-C03A3;

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-289155

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月21日

H 01 L 27/04
27/08

1 0 1

D-7514-5F
L-8728-5F

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 昭63-118521

⑰ 出 願 昭63(1988)5月16日

⑱ 発 明 者 山 口 聖 司 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体集積回路

2、特許請求の範囲

- (1) クロック発生手段と該クロック発生手段の出力を入力の一部とする複数の論理手段を有し、前記クロック発生手段をチップのほぼ中央部分に配置して、前記クロック発生手段出力をチップ内部に格子状に配置配線したことを特徴とする半導体集積回路。
- (2) クロック発生手段と該クロック発生手段の出力を入力の一部とする複数の論理手段を有し、前記クロック発生手段をチップのほぼ中央部分に配置し、チップの垂直方向ならびに水平方向の中心線で4分割した分割領域の各中央部分にそれぞれクロックバッファを設けて、前記クロック発生手段出力を分割領域の各クロックバッファに供給し、該クロックバッファの出力を前記分割領域の内部に格子状に配置配線したことを特徴とする半導体集積回路。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路のチップサイズの大規模化およびクロックの高速化による処理能力の向上をはかるマイクロプロセッサなどに利用できるものである。

従来の技術

半導体技術の進展に伴い年々半導体集積回路の素子数およびチップサイズは大きくなってきている。こうした傾向は大容量のメモリ(キャッシュメモリなど)を内蔵したマイクロプロセッサの分野では顕著に現われている。

一方、微細加工技術の進展に伴うデバイスの高速化により使用するクロック周波数が高くなっている。特に、マイクロプロセッサではクロックを高速化することにより処理能力を向上させることがよく行われている。

発明が解決しようとする課題

そこで大容量のメモリを内蔵したマイクロプロセッサの設計においては各論理手段にどのように

高周波数のクロックを供給していくかが大きな技術的課題になってきている。

チップ内の各論理手段の物理的位置によって供給されるクロックのタイミングが微妙に異なってくる。これがクロックスキューとなり、論理的な動作としてある論理手段のデータを転送するときには他の論理手段がこのデータを取り込もうとしたときにクロックスキューが生じることによって異なったデータを取り込むことが起こりうる。特に、大規模なチップにおいてはクロックスキューが大きくなるためにこうした誤動作が生じ易くなる。

従来、クロック発生手段はチップの周辺部分に配置している場合がほとんどであり、例えばクロック発生手段をチップの周辺部分の右端に配置したとすると、チップの右端と左端とは同じクロックであってもかなりのクロックスキューが生じることになる。

そこで、本発明は上記の問題点を解決するためチップ内部に供給するクロックのクロックスキュー

一をできる限り小さくすることによりクロックスキューによる誤動作を未然に防ぐことにある。

課題を解決するための手段

本発明は、クロック発生手段と該クロック発生手段の出力を入力の一部とする複数個の論理手段を有し、前記クロック発生手段をチップのほぼ中央部分に配置して、前記クロック発生手段出力をチップ内部に格子状に配置配線したことを特徴とする半導体集積回路およびクロック発生手段と該クロック発生手段の出力を入力の一部とする複数個の論理手段を有し、前記クロック発生手段をチップのほぼ中央部分に配置し、チップの垂直方向ならびに水平方向の中心線で4分割した分割領域の各中央部分にそれぞれクロックバッファを設けて、前記クロック発生手段出力を分割領域の各クロックバッファに供給し、該クロックバッファの出力を前記分割領域の内部に格子状に配置配線したことを特徴とする半導体集積回路である。

作用

上記構成により半導体集積回路の内部の各論理

手段におけるクロックスキューを十分に小さくすることができる。

実施例

第1図は本発明の第1の実施例を示すブロック図である。第1図において、2は半導体集積回路のチップ全体、4はチップの周辺部分にある外部端子、6はクロックの外部端子、8はチップ内部のクロック発生手段である。クロックの外部端子6から配線aが出力されてクロック発生手段8に入力されている。クロック発生手段8ではクロックパルスを波形整形してバッファを通して水平方向配線y3と垂直方向配線x3に出力されて各論理手段に供給している。

チップ内部ではクロックの配線が格子状に垂直方向x0、x2、x3、x4、x5、x6と水平方向y0、y1、y3、y4、y5、y6の配置配線が施されている。各格子点では垂直方向配線と水平方向配線が接続されている。

上述のような構成では各論理手段におけるクロックスキューはチップの中央部分とチップの周

辺部分で最大となる。この時チップの中央部分ではクロックの立ち上がりの最も早く立ち上がり、そこを中心として同心円を描くように周辺部分が遅れて立ち上がる。そのために、チップの4個の周辺部分でのクロックスキューはほとんど発生しない。

すなわち、チップの各論理手段におけるクロックスキューは従来のチップ周辺部分にクロック発生手段を配置した場合に比べて、約1/2以下になる。

第2図は本発明の第2の実施例を示すブロック図である。第2図において、2は半導体集積回路のチップ全体、4はチップの周辺部分にある外部端子、6はクロックの外部端子、8はチップ内部のクロック発生手段、10、12、14、16はそれぞれクロックバッファである。

クロックの外部端子6から配線aが出力されてクロック発生手段8に入力されている。クロック発生手段8ではクロックパルスを波形整形してクロックバッファ10、12、14、16に配線

b, c, d, eにより供給している。ここでは、配線b, c, d, eの配線長をほぼ等しくなるようにしている。これによってクロックバッファにされるクロック信号はスキューを生じない。

クロックバッファ10ではチップの右上部分のクロックの供給を行っている。そのために垂直方向配線x10, x12, x13, x14と水平方向配線y10, y11, y12, y13, y14によって右上部分の各論理手段に供給している。

クロックバッファ12ではチップの左上部分のクロックの供給を行っている。そのために垂直方向配線x20, x21, x22, x23, x24と水平方向配線y20, y21, y22, y23, y24によって左上部分の各論理手段に供給している。

クロックバッファ14ではチップの左下部分のクロックの供給を行っている。そのために垂直方向配線x30, x31, x32, x33, x34と水平方向配線y30, y31, y32, y33, y34によって左下部分の各論理手段に供給して

いる。

クロックバッファ16ではチップの右下部分のクロックの供給を行っている。そのために垂直方向配線x40, x41, x42, x43, x44と水平方向配線y40, y41, y42, y43, y44によって右下部分の各論理手段に供給している。

各分割領域ではクロックバッファを中心として同心円状にクロックスキューの分布を持つが、各分割領域間では同じような分布となるので各分割領域の周辺部分ではほとんどクロックスキューのない状態を実現することができる。

これによって、チップ内部の各論理手段におけるクロックスキューの最大を従来の場合と比べて約1/4以下にすることが可能である。

発明の効果

本発明によれば上述のようにチップサイズの大きい半導体集積回路においては使用されるクロックがチップ内部の各論理手段におけるクロックスキューを十分に小さくすることができるのでク

ロックスキューによる誤動作を未然に防ぐことができる。

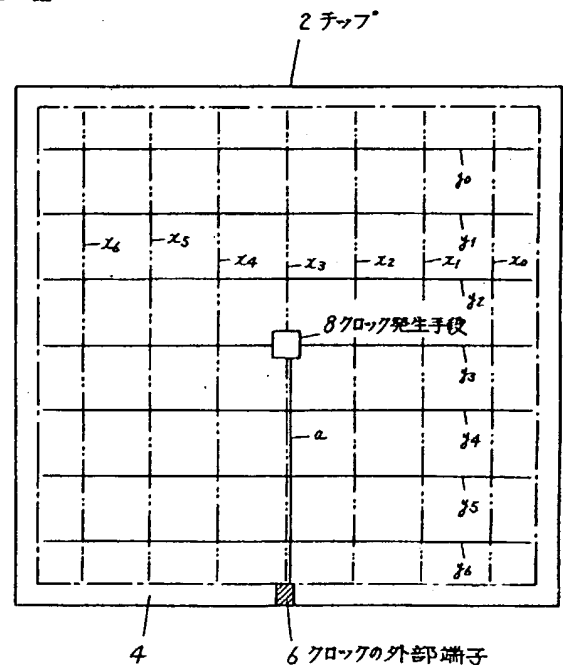
4、図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、第2図は本発明の第2の実施例を示すブロック図である。

2……チップ、4……チップ周辺の外部端子部分、6……クロックの外部端子、8……クロック発生手段、10, 12, 14, 16……クロックバッファ。

代理人の氏名 弁理士 中尾敏男 ほか1名

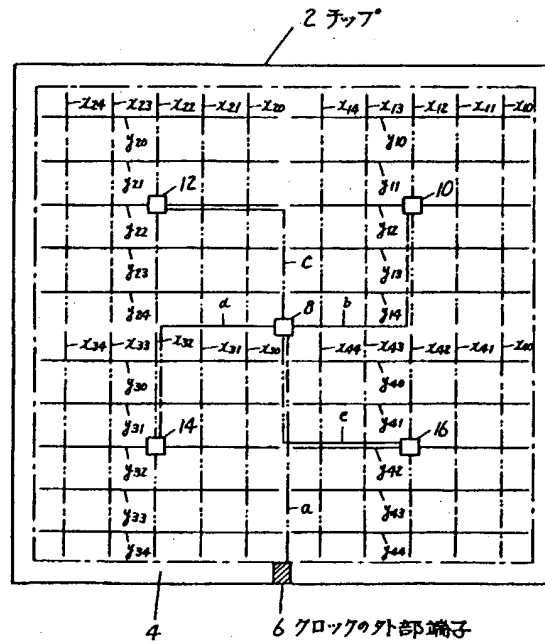
第1図



8 --- クロック発生手段

10, 12, 14, 16 --- クロックバッファ

第 2 図



US 1025447308P1



Creation date: 01-26-2004
Indexing Officer: HLE18 - HOA LE
Team: OIPEBackFileIndexing
Dossier: 10254473

Legal Date: 01-22-2004

No.	Doccode	Number of pages
1	CTNF	5
2	892	1
3	BIB	2
4	FWCLM	1
5	SRFW	1

Total number of pages: 10

Remarks:

Order of re-scan issued on